

RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication :

(A n'utiliser que pour les
commandes de reproduction).

2 520 556

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 82 22037

(54) Dispositif semi-conducteur formé sur un substrat isolant.

(51) Classification internationale (Int. Cl.³). H 01 L 29/78, 27/12, 29/60.

(22) Date de dépôt 29 décembre 1982.

(33) (32) (31) Priorité revendiquée : JP, 28 janvier 1982, n° 12309/82.

(41) Date de la mise à la disposition du
public de la demande B.O.P.I. — « Listes » n° 30 du 29-7-1983.

(71) Déposant : Société dite : TOKYO SHIBAURA DENKI KK. — JP.

(72) Invention de : Mitsuo Isobe et Yukimasa Uchida.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Cabinet Beau de Loménie,
55, rue d'Amsterdam, 75008 Paris.

D

Vente des fascicules à l'IMPRIMERIE NATIONALE, 27, rue de la Convention — 75732 PARIS CEDEX 15.

La présente invention concerne un dispositif semi-conducteur formé sur un substrat isolant et, plus spécialement, un transistor MOS (métal-oxyde-semi-conducteur) formé sur un substrat isolant.

- 5 D'importantes études ont été effectuées à propos de la formation d'une MAD (mémoire à accès direct) et d'une UCT (unité centrale de traitement) par intégration de transistors MOS sur un substrat isolant, par exemple un substrat de saphir. L'un des exemples d'application de la formation de transistors MOS sur
- 10 un substrat isolant est fourni par un circuit de protection d'entrée destiné à un circuit de type intégré. La figure 1 présente un circuit de protection d'entrée selon la technique antérieure. Comme le montre la figure 1, une tension d'un niveau prédéterminé est délivrée par un circuit d'attaque (non représenté) à l'extrémité d'entrée IN1
- 15 du circuit de protection d'entrée. La tension d'entrée est délivrée par l'intermédiaire d'une résistance protectrice R1 au circuit intégré à protéger, lequel est connecté à une extrémité de sortie O1 du circuit de protection d'entrée. Le symbole de référence T1 désigne un transistor MOS formé sur un substrat de saphir. La région de
- 20 drain D du transistor MOS est connectée à l'extrémité de sortie de la résistance protectrice R1, et sa région de source et son électrode de grille sont connectées à la terre. Une extrémité d'un condensateur C1 est connectée à l'extrémité de sortie O1, et son autre extrémité est connectée à la terre. Le transistor MOS T1 est
- 25 formé sur le substrat de saphir, et ses régions de source, de drain et de canal sont en contact direct avec le substrat de saphir. Ainsi, la région de canal est maintenue dans un état flottant. Puisque l'électrode de grille du transistor MOS est connectée à la source S, le transistor MOS est théoriquement dans l'état non conducteur.
- 30 Toutefois, puisque la région de canal est maintenue dans l'état flottant, un courant de canal (dû au phénomène dit de Kink) résultant de l'ionisation par impacts circule dans le trajet drain-source lorsqu'une tension de 5 V est appliquée à l'extrémité d'entrée IN1. Ce courant de canal entraîne un courant de fuite de drain du tran-
- 35 sistor MOS et, par conséquent, un courant de fuite d'entrée à l'extrémité d'entrée IN1. Puisque l'intensité du courant d'entrée allant

du circuit d'attaque à l'extrémité d'entrée IN1 est strictement limitée, il faut empêcher que le courant de fuite d'entrée ait une grande intensité. Pour diminuer la longueur de canal du transistor MOS T1 dans un but de miniaturisation, il faut augmenter la concentration d'impureté de la région de canal afin d'empêcher l'effet de canal court. Toutefois, dans ce cas, le phénomène de Kink devient notable. Il est possible de maintenir la région de canal à une tension prédéterminée en connectant un conducteur 1 à la région de canal afin de diminuer le courant de fuite de drain du transistor MOS T1. Toutefois, le conducteur 1 doit être connecté à la région de canal à l'extérieur de l'aire du transistor MOS. Ceci empêche d'améliorer la densité d'intégration des transistor MOS.

Un but de l'invention est de proposer un dispositif semi-conducteur qui est formé sur un substrat isolant et qui possède des régions de source, de drain et de canal en contact direct avec le substrat isolant, où la région de source, la région de canal et une électrode de grille sont électriquement connectées entre elles à l'intérieur d'une région semi-conductrice qui est occupée par le dispositif semi-conducteur de façon à maintenir la région de canal à un potentiel prédéterminé.

Un autre but de l'invention est de proposer un dispositif semi-conducteur possédant une densité d'intégration accrue.

Un autre but de l'invention est de proposer un dispositif semi-conducteur dans lequel le phénomène de Kink est empêché.

Le dispositif semi-conducteur selon l'invention comporte : un substrat isolant; des régions de source, de drain et de canal qui sont chacune en contact direct avec le substrat isolant; une électrode de grille formée en regard de la région de canal au travers d'une pellicule isolante de grille. Le dispositif semi-conducteur comporte en outre un moyen permettant de connecter électriquement la région de canal, la région de source et l'électrode de grille entre elles à l'intérieur de la région semi-conductrice qui est occupée par le dispositif semi-conducteur.

Puisque le potentiel de la région de source est maintenu constant, le potentiel de la région de canal peut également être maintenu constant.

La description suivante, conçue à titre d'illustration de l'invention, vise à donner une meilleure compréhension de ses caractéristiques et avantages; elle s'appuie sur les dessins annexés, parmi lesquels :

- 5 - la figure 1 est un schéma de montage d'un circuit de protection d'entrée classique destiné à un circuit intégré et comportant un transistor MOS formé sur un substrat isolant;
- la figure 2 est un schéma de montage d'un circuit de protection d'entrée destiné à un circuit intégré et comportant
- 10 un transistor MOS formé sur un substrat isolant, selon l'invention;
- la figure 3 est une vue en plan d'un transistor MOS permettant d'expliquer les positions relatives des régions semi-conductrices du transistor MOS et de son électrode de grille selon un mode de réalisation de l'invention;
- 15 - la figure 4 est une vue en coupe du transistor MOS prise selon la ligne 4-4 de la figure 3;
- la figure 5 est une vue en plan d'un transistor MOS permettant d'expliquer les positions relatives des régions semi-conductrices du transistor MOS et de son électrode de grille selon
- 20 un autre mode de réalisation de l'invention; et
- la figure 6 est une vue en coupe du transistor MOS prise suivant la ligne 6-6 de la figure 5.
- Comme on peut le voir sur la figure 2, une extrémité d'entrée IN2, une extrémité de sortie O2 et un condensateur C2
- 25 correspondent respectivement à l'extrémité d'entrée IN1, à l'extrémité de sortie O1 et au condensateur C1 de la figure 1, si bien que l'on pourra omettre leur description détaillée. Un transistor MOS T2 est formé sur un substrat de saphir. La région de canal du transistor MOS T2 est électriquement connectée à sa région de source S, laquelle, avec l'électrode de grille, est connectée à la terre. On
- 30 se reporte maintenant aux figures 3 et 4, sur lesquelles on peut voir qu'il existe des régions semi-conductrices d'un transistor MOS à canal n qui comprennent une région de source 11 de type n^+ , une région de drain 12 de type n^+ et une région de canal 13 de type p^- .
- 35 Ces régions semi-conductrices 11, 12 et 13 sont en contact direct avec un substrat de saphir 10. Un prolongement 13a de la région

de canal 13 de type p^- , qui est représenté sur le côté droit, est en contact avec la région de source 11 de type n^+ . Une pellicule isolante de grille 14 est formée sur la région de canal 13 de type p^- (y compris le prolongement 13a). Une électrode de grille 15 est formée sur la pellicule isolante de grille 14 (voir figure 4). Le numéro de référence 16 désigne une pellicule de SiO_2 , et le numéro de référence 17 désigne une pellicule de SiO_2 formée par dépôt chimique sous forme vapeur sur les régions semi-conductrices du transistor MOS à canal n. Une électrode d'aluminium 19 (voir figure 4) est placée dans un trou de contact 18a et est formée au travers de la pellicule 17 de SiO_2 afin de venir au contact de la région de source 11 de type n^+ . L'électrode de grille 19 est aussi électriquement connectée à l'électrode de grille 15. Pour obtenir un contact ohmique entre la région de source 11 de type n^+ et l'électrode d'aluminium 19, on effectue un recuit après le dépôt de l'électrode d'aluminium 19 sur la région de source 11 de type n^+ afin de former entre elles une pellicule eutectique 20 contenant de l'aluminium et du silicium. Par une détermination appropriée de la durée et de la température du recuit, on peut faire que la pellicule eutectique 20 atteigne le prolongement 13a de la région de canal 13 de type p^- , comme cela apparaît sur la figure 4. Ainsi, la région de source 11 de type n^+ peut être électriquement connectée à la région de canal 13 de type p^- . Lorsque la région de source 11 de type n^+ est maintenue connectée à la terre par l'intermédiaire de l'électrode d'aluminium 19, le potentiel de la région de canal 13 du type p^- peut être maintenu constant. Dans le même temps, l'électrode de grille 15 est maintenue connectée à la terre. L'électrode d'aluminium 19, l'électrode de grille 15, la région de source 11 de type n^+ et la région de canal 13 de type p^- peuvent être sensiblement électriquement connectées entre elles à l'intérieur de la région semi-conductrice du transistor MOS à canal n.

Dans le circuit de protection d'entrée présenté sur la figure 2, puisque la région de canal de type p^- du transistor MOS T2 est maintenue au potentiel de la terre, aucun courant de fuite d'entrée ne circule lorsqu'une tension de niveau normal est appliquée à l'extrémité d'entrée IN2. Toutefois, même lorsqu'une pointe de

tension est appliquée à l'extrémité d'entrée IN2, celle-ci est régulée par un circuit de filtrage comportant une résistance protectrice d'entrée R2 et le condensateur C2. En résultat, un signal de tension possédant un flanc antérieur régularisé apparaît à l'extrémité de sortie O2, c'est-à-dire que la pointe de tension ne peut pas apparaître à l'extrémité de sortie O2. Le placage du drain du transistor MOS T2 permet qu'un courant circule via la résistance protectrice R2 si une tension d'entrée positive supérieure à un niveau prédéterminé est appliquée à l'extrémité d'entrée IN2. Lorsqu'une tension d'entrée négative ayant une amplitude supérieure à un niveau négatif prédéterminé est appliquée à l'extrémité d'entrée IN2, le transistor MOS T2 passe dans l'état conducteur, si bien que le courant y circule via la résistance protectrice R2. Une tension qui possède un niveau supérieur au niveau prédéterminé ne peut pas apparaître à l'extrémité de sortie O2 en raison de la chute de tension aux bornes de la résistance protectrice R2, ce qui assure la protection d'entrée. Lorsqu'un signal de tension d'entrée possédant un niveau prédéterminé, par exemple une tension de 5 V, est appliqué à l'extrémité d'entrée IN2, le claquage ne se produit pas dans le transistor MOS T2. Ainsi, un signal d'entrée dont le niveau de tension reste invariable apparaît à l'extrémité de sortie O2. Puisque la région de source S est maintenue au potentiel de la terre, les porteurs produits par l'ionisation par impacts sont absorbés par la région de source S. Ainsi, le phénomène de Kink est empêché, et le courant de fuite d'entrée n'augmente pas. Comme décrit ci-dessus, puisque la région de source, la région de canal et l'électrode de grille peuvent être électriquement connectées entre elles à l'intérieur de la région semi-conductrice occupée par le dispositif semi-conducteur, la densité d'intégration du dispositif semi-conducteur peut être augmentée.

Un dispositif semi-conducteur selon un autre mode de réalisation de l'invention est décrit en relation avec les figures 5 et 6. Les numéros de référence déjà utilisés sur les figures 3 et 4 désignent, sur les figures 5 et 6, les mêmes parties et on omettra d'en faire une description détaillée. Le dispositif semi-conducteur

du deuxième mode de réalisation présenté sur les figures 5 et 6 est identique à celui du premier mode de réalisation présenté sur les figures 3 et 4, à l'exception du fait que la région de canal 13 de type p^- et la région de source 11 de type n^+ peuvent être électriquement connectées sans que la pellicule eutectique 20, présentée sur la figure 4, qui est formée entre l'électrode d'aluminium 19 et la région de source 11 de type n^+ soit étendue jusqu'au prolongement 13a. Ainsi, comme on peut le voir sur les figures 5 et 6, une région 22 d'impureté de type p^+ , possédant le même type de conductivité que la région de canal 13 de type p^- , est formée de façon à venir au contact d'une partie de la région de source 11 de type n^+ . L'électrode d'aluminium 19 est disposée au travers d'un trou de contact 18a formé à travers une pellicule 17 de SiO_2 formée par dépôt chimique sous forme vapeur de manière à venir au contact d'une électrode de grille 15, de la région de source 11 de type n^+ et de la région 22 d'impureté de type p^+ . Dans le dispositif semi-conducteur selon le deuxième mode de réalisation, la région de canal 13 de type p^- est électriquement connectée à la région de source 11 de type n^+ par l'intermédiaire de la région 22 d'impureté de type p^+ . Dans ce mode de réalisation, on peut former la pellicule eutectique 20 à l'interface entre l'électrode d'aluminium 19 et la région de source 11 de type n^+ et entre l'électrode d'aluminium 19 et la région 22 d'impureté de type p^+ . Toutefois, il n'est pas nécessaire que la pellicule eutectique 20 soit étendue jusqu'au prolongement 13a de la région de canal 13 de type p^- .

Dans les modes de réalisation ci-dessus définis, des cas ont été décrits où l'invention était appliquée à des transistors MOS à canal n. L'invention peut également être appliquée à un transistor MOS à canal p et à un transistor CMOS. De plus, dans le deuxième mode de réalisation présenté sur les figures 5 et 6, il est possible de remplacer toute l'aire de la région de source 11 de type n^+ par une région d'impureté de type p^+ . Dans ce cas, il est obtenu un transistor MOS qui possède une région de drain de type n^+ , une région de canal de type p^- et une région de source de type p^+ .

Bien entendu, l'homme de l'art sera en mesure d'imaginer, à partir des dispositifs dont la description vient d'être donnée à titre simplement illustratif et nullement limitatif, diverses variantes et modifications ne sortant pas du cadre de

5 l'invention.

REVENDECATIONS

1. Dispositif semi-conducteur formé sur un substrat isolant, comprenant une région de source (11), une région de drain (12) et une région de canal (13) formée entre elles, qui sont chacune en contact direct avec le substrat isolant (10),
5 et une électrode de grille (15) formée en regard de la région de canal (13) au travers d'une pellicule isolante de grille (14), caractérisé en ce qu'il comprend un moyen de connexion permettant de connecter électriquement en commun la région de canal (13), la région de source (11) et l'électrode de grille (15) à l'inté-
10 rieur d'une région semi-conductrice qui est occupée par le dispositif semi-conducteur.
2. Dispositif selon la revendication 1, caractérisé en ce que ledit moyen de connexion comprend : une électrode métallique (19) qui est en contact avec l'électrode de grille (15) et
15 la région de source (11) par l'intermédiaire d'un trou de contact (18a) formé au travers d'une pellicule isolante (17) disposée sur le dispositif semi-conducteur; et un moyen qui permet qu'une pellicule eutectique (20) contenant le matériau de ladite électrode métallique (19) et le matériau semi-conducteur de ladite région de
20 source (11) soit formée à l'interface de l'électrode métallique (19) et de la région de canal (13) de façon à s'étendre jusqu'à un prolongement (13a) de la région de canal (13), et qui couple électriquement la région de source (11) et la région de canal (13) par l'intermédiaire de ladite pellicule eutectique (20).
- 25 3. Dispositif selon la revendication 1, caractérisé en ce que ledit moyen de connexion comprend : une région d'impureté (22) qui est formée sur au moins une partie de la région de source (11), qui est en contact avec la région de canal (13) et qui possède le même type de conductivité que la région du canal (13); et une
30 électrode métallique (19) qui est en contact électrique avec l'électrode de grille (15), la région de source (11) et la région d'impureté (22) par l'intermédiaire d'un trou de contact (18) formé au travers d'une pellicule isolante (17) placée sur le dispositif semi-conducteur.

4. Dispositif selon la revendication 2 ou 3, caractérisé en ce que l'électrode métallique (19) consiste en une électrode d'aluminium.

5. Dispositif selon la revendication 3, caractérisé en ce que la concentration en impureté de ladite région d'impureté (22) possédant le même type de conductivité que la région de canal (13) est supérieure à la concentration en impureté de ladite région de canal (13).

FIG. 1

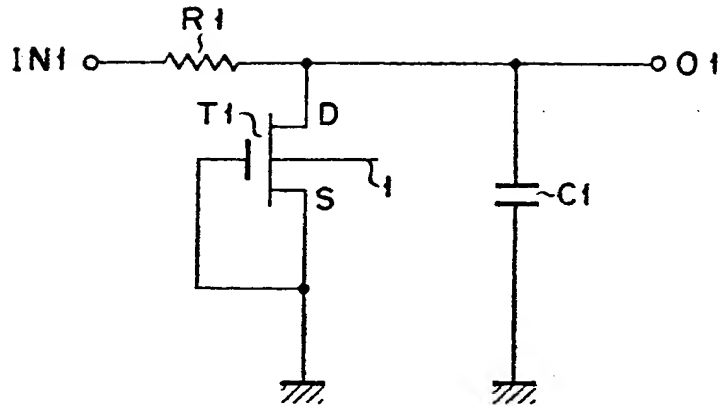


FIG. 2

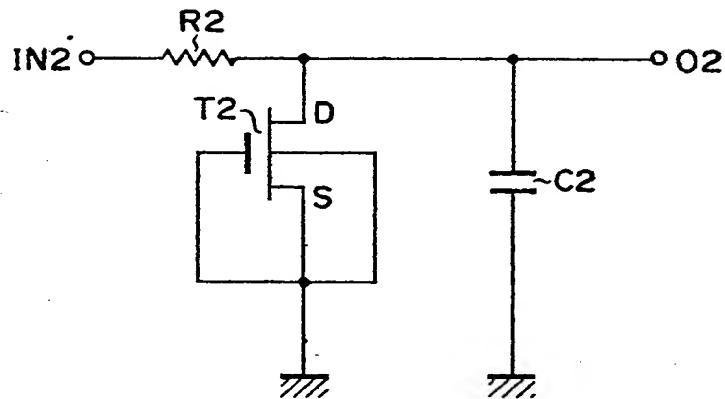
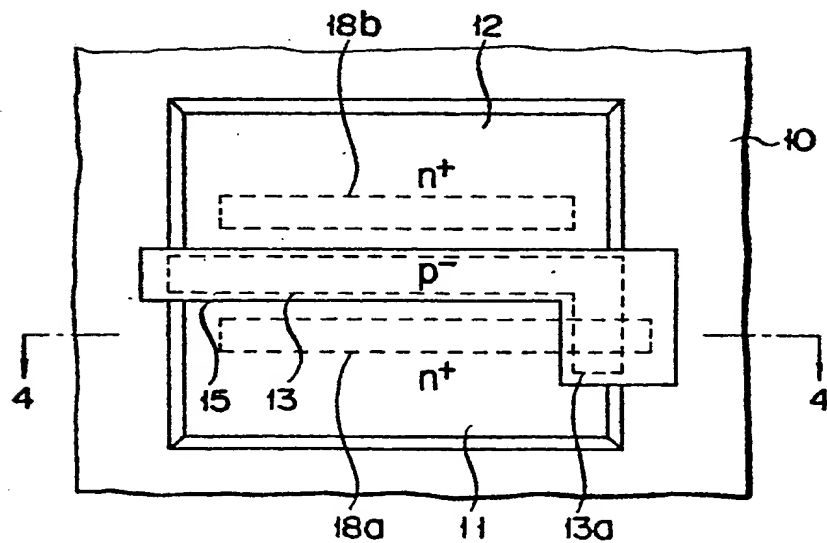


FIG. 3



A cross-sectional diagram of a semiconductor device. It features a substrate 6 with a top layer 10. A central region contains a stack of layers: a bottom n+ layer 11, a p- layer 12, and a top n+ layer 13. A dashed rectangle 18a is located within the bottom n+ layer 11. Another dashed rectangle 18b is located within the top n+ layer 13. A horizontal rectangular feature 15 is positioned between the two n+ layers, overlapping the p- layer 12. This feature has a top surface 13a and a bottom surface 22. The entire structure is bounded by a dashed line 19.

[illegible]